

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61206286
PUBLICATION DATE : 12-09-86

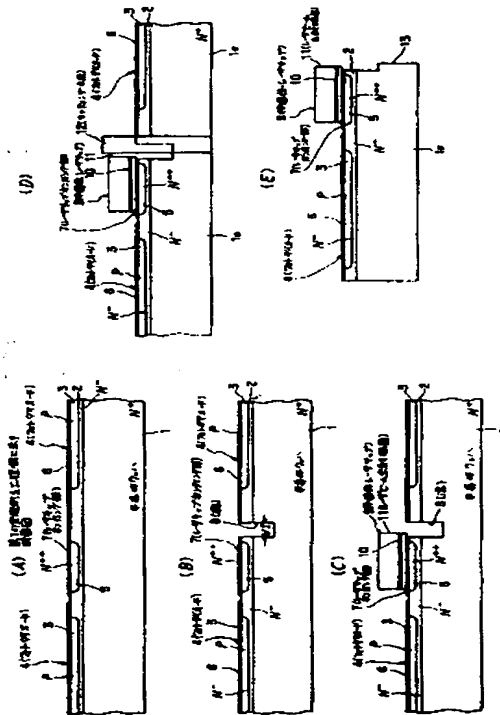
APPLICATION DATE : 09-03-85
APPLICATION NUMBER : 60047218

APPLICANT : SONY CORP;

INVENTOR : TOTSUKA KAZUO;

INT.CL. : H01S 3/18 // H01L 21/78

TITLE : MANUFACTURE OF
SEMICONDUCTOR LASER DEVICE



ABSTRACT : PURPOSE: To prevent the warpage of the distribution of luminous intensity, and to save power by half-cutting a semiconductor wafer, bonding a semiconductor laser chip so that the outgoing end surface of laser beams is protruded slightly to the upper section of a groove formed through a half-cut and full-cutting the wafer.

CONSTITUTION: An N^- type semiconductor layer 2 and a P-type semiconductor region 3 are shaped onto the surface of an N^+ type silicon semiconductor wafer 1 to form a PIN type monitor photodiode 4, and an N^{++} type semiconductor region 5 is shaped where slightly separate from the semiconductor region 3. A region to be diced in the surface of the semiconductor wafer 1 is half-cut through sawing, thus obtaining a groove 8. Semiconductor laser chips 9 are bonded onto each solder layer 7, and the positions of laser-beam outgoing end surfaces 11 are set so that the end surfaces 11 are protruded slightly onto the grooves 8 from the solder layers 7. The wafer is full-cut by a cutter 12 for dicing, and pelletized. Accordingly, the eclipse of laser beams is not generated, thus preventing the warpage of the distribution curve of luminous intensity in the vertical direction of laser beams, then saving the man-hour of the work.

COPYRIGHT: (C)1986,JPO&Japio

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭61-206286

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)9月12日

H 01 S 3/18
// H 01 L 21/78

7377-5F
7376-5F

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 半導体レーザ装置の製造方法

⑯ 特 願 昭60-47218

⑰ 出 願 昭60(1985)3月9日

⑱ 発 明 者	松 田	修	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	戸 塚	和 夫	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソ ニ ー 株 式 会 社		東京都品川区北品川6丁目7番35号	
⑳ 代 理 人	弁理士 小松 祐治		外1名	

明 細 書

1. 発明の名称

半導体レーザ装置の製造方法

2. 特許請求の範囲

(1) レーザチップボンディング部を有するフォトダイオードが群成せしめられた半導体ウェハのレーザチップボンディング側表面の各ダイシング領域のうち少なくとも上記レーザチップボンディング部にボンディングされる半導体レーザチップのレーザビーム出射方向と直角の各ダイシング領域をハーフカットし、

その後、半導体レーザチップをそのレーザビーム出射端面が前記ハーフカットにより形成された溝の上方に稍々食み出るように位置決めしてボンディングし、

しかる後、ダイシング用カッティング手段が上記半導体レーザチップと接触しないようにダイシング位置を設定して行う前記レーザビーム出射方

向と直角な方向に沿ってのフルカットと、前記レーザビーム出射方向と平行な方向に沿ってのフルカットとを行なうことによりペレタライズする

ことを特徴とする半導体レーザ装置の製造方法

3. 発明の詳細な説明

本発明半導体レーザ装置の製造方法を以下の順序で説明する。

A. 産業上の利用分野

B. 発明の概要

C. 背景技術 [第4図]

D. 発明が解決しようとする問題点 [第5図]

E. 問題点を解決するための手段

F. 作用

G. 実施例 [第1乃至第3図]

a. 第1の実施例 [第1図、第2図]

a-1. 基本的方法 [第1図]

a-2. 変形的方法 [第2図]

b. 第2の実施例 [第3図]

H. 発明の効果

(A. 産業上の利用分野)

本発明は半導体レーザ装置の製造方法、特にレーザチップボンディング部を有するフォトダイオードのレーザチップボンディング部に半導体レーザチップをボンディングしてなる半導体レーザ装置を製造する方法に関するものであり、半導体レーザチップから出射されるレーザビームのフォトダイオード表面上での反射（ケラレ）が生じないようにし、更にはダイシングに際して半導体ウェハが割れたりしないようにしようとするものである。

(B. 発明の概要)

本発明は、フォトダイオードのレーザチップボンディング部に半導体レーザチップをボンディングしてなる半導体レーザ装置を製造する方法において、半導体レーザチップから出射されるレーザビームのフォトダイオード表面での反射、即ち、ケ

(A)乃至(E)は本願出願人会社において試みられた上記モニター用フォトダイオード付半導体レーザ装置の製造方法を工程順に示すものである。この製造方法を簡単に説明する。先ず、第4図(A)に示すように、半導体ウェハaに対してフォトダイオードを形成するための一連の処理を施すことによって各素子形成領域b、b、...の一部にフォトダイオードcを形成し、又、別の部分上にレーザチップ接続用の半田層dを形成する。同図(A)において、eは隣接する各素子形成領域間を仕切るダイシングすべきラインを示す。次いで、同図(B)に示すように、そのダイシングすべきラインeに沿って半導体基板aの表面をハーフカットする。ここで、ハーフカットとは基板aの厚さよりも浅くカッティングすることであり、又、後述するフルカットとは半導体ウェハを完全にカッティングすることである。その後、同図(C)に示すように各素子形成領域b、b、...の半田層d形成領域上に半導体レーザチップfを位置させ、その状態で半導体ウェハaを加熱

ラレが生じないようにし、更にはダイシングに際して半導体ウェハが割れたりしないようにするために、半導体ウェハのダイシングすべき領域をハーフカットした後レーザチップボンディング部に半導体レーザチップをそのレーザビーム出射端面がハーフカットにより形成された溝上方に稍々食い出るように位置決めしてボンディングし、その後ダイシング用カッティング手段が半導体レーザチップと接触しないようにカッティング位置を設定したうえでフルカットするものであり、これによってケラレをなくすることができ、又、ベレタイズするときに半導体ウェハが割れるという惧れをなくすることができる。

(C. 背景技術) [第4図]

半導体レーザ装置として半導体基板の一部領域の表面部にモニター用フォトダイオードを形成し、半導体基板の他の領域表面上に半導体レーザチップをボンディングしてなるモニター用フォトダイオード付半導体レーザ装置がある。第4図

炉(加熱温度250℃)に通すことによって各半導体レーザチップf、f、...のチップボンディングを同時に行う。この半導体レーザチップfはそのレーザ光出射端面と後の半導体ウェハaに対するベレット分割後におけるベレットkの端面とが面一になるようにボンディング位置が設定される。その後、電気的特性、光学的特性の測定、検査、スクリーニング等をした後、ハーフカットされた部分eに沿って半導体ウェハaを割ることにより第4図(D)に示すようにベレット分割する。kはベレットである。その後、第4図(E)に示すように図示しないステムの表面に設けられたヒートシンクg上にベレットkをベレットボンディングし、次に、ステムに取付けられたリードh、hと半導体レーザチップf及びフォトダイオードcの電極との間をワイヤボンディングすること等により実装される。iはワイヤである。

(D. 発明が解決しようとする問題点) [第5

図]

ところで、このようにして製造した半導体レーザ装置には半導体レーザチップfのレーザ光出射端面と半導体レーザチップfが接続されるペレットkの端面との間の位置関係に無視することのできないバラツキが生じるという問題がある。というのは、フォトリソグラフィ等の加工精度に比較してダイシングの位置精度が低く、ダイシングの位置に無視できない位置ずれが生じて半導体レーザチップfのレーザ光出射端面とペレットkの端面が面一にならなくなり、第5図に示すように半導体レーザチップfが内側にずれたりする。そして、半導体レーザチップfが第5図に示すようにずれた場合には、半導体レーザチップfから出射されたレーザ光の一部（即ち、斜め下向きに出射された光）がペレットk表面にて反射される。その結果、垂直方向における光度分布がいびつになる。即ち、半導体レーザチップfの端面とペレットkの端面とが面一でペレットk表面（具体的にはペレットkの端面と半導体レーザチップfの端

面との間の部分）でレーザ光が反射されるという現象が生じない場合には垂直方向における光度分布曲線はきれいな線対称性を有する共振曲線（共振回路の周波数・電流特性曲線）のようになるが、上述したような反射があると共振曲線をいびつにした形状になり、半導体レーザチップfのレーザ光出射部の延長線を中心に上下対称な形状は得られなくなる。具体的にはその延長線よりも上側がより高い光度になり、下側がより低い光度になるようないびつさが生じる。このいびつさは半導体レーザチップfの位置ずれが大きくなる程激しくなる。そして、このように光度分布曲線がいびつになるような半導体レーザ装置は光源として好ましくない。これが上述した半導体レーザ装置の製造方法の第1の問題点であった。

また、上述した半導体レーザ装置の製造方法においての半導体レーザチップfのボンディングが終了した後半導体ウェハaをハーフカットにより形成された溝eに沿って割ることによりペレタライズするという方法にも大きな問題があった。と

いうのは、半導体ウェハaを手で割ってペレット化する作業は面倒で作業性が悪く、しかもフォトリソグラフィにクラックを生じさせる原因となり、又、その分割によりフォトリソグラフィの端面、あるいは側面が粗くなる原因ともなった。これが、この半導体レーザ装置の製造方法の第2の問題点であった。

しかして、本発明はこれらの問題点を解決すべく為されたものであり、半導体レーザチップのボンディング位置あるいはダイシング位置に多少のずれが生じて光度分布が変化したりすることがなく、しかも面倒で不良が発生し易い手作業によることなくダイシングすることができる新規な半導体レーザ装置の製造方法を提供しようとするものである。

(E. 問題点を解決するための手段)

上記問題点を解決するため本発明半導体レーザ装置の製造方法は、半導体ウェハをハーフカットした後レーザチップボンディング部に半導体レー

ザチップをそのレーザビーム出射端面が前記ハーフカットにより形成された溝上方に稍々食み出るように位置決めしてボンディングし、その後ダイシング用カッティング手段が上記半導体レーザチップを接触しないようにカッティング位置を設定したうえでフルカットすることによりペレタライズすることを特徴とするものである。

(F. 作用)

従って、本発明によれば、半導体レーザチップがハーフカットにより形成された溝に稍々食み出るようにボンディングされるので半導体レーザチップのレーザビーム出射端面から出射されたレーザビームがフォトリソグラフィが形成された半導体基板表面で反射されるという現象（ケラレ）を回避することができる。従って、そのケラレに起因して光度分布がいびつになることを回避することができる。そして、半導体レーザチップのボンディング後に行うペレタライズを半導体ウェハを割るという方法によってではなくカッティング

手段を用いてのフルカットにより行うので、省力化を図ることができ、又、クラックが生じたりすることを防止することができる。

(G. 実施例) [第1図乃至第3図]

以下に、本発明半導体レーザ装置の製造方法を添附図面に示した実施例に従って詳細に説明する。

(a. 第1の実施例) [第1図、第2図]

(a-1. 基本的方法) [第1図]

第1図(A)乃至(E)は本発明半導体レーザ装置の製造方法の実施の一例を工程順に示すものである。

(A) N⁺型のシリコン半導体ウェハ1の表面上にN⁻型の半導体層2を形成し、該半導体層2の表面部に選択的にP型半導体領域3を形成する。これによってPIN型のモニター用フォトダイオード4が形成される。又、上記半導体層2表面部の上記半導体領域3から稍離間した位置にN

食み出るように半導体レーザチップ9の位置を設定し、仮に多少の位置ずれが生じててもレーザビーム出射端面11が溝8よりも奥側(フォトダイオード4側)にずれることがないようにされる。ボンディングは各レーザチップボンディング部7上に半導体レーザチップが位置された状態の半導体ウェハ1を連続炉に通す等の方法で加熱することにより行われる。第1図(C)はボンディング後の状態を示す断面図である。

(D) その後、フルカットによりベレタライズする。この場合、半導体レーザチップ9のレーザビーム出射端面11と平行なダイシングすべき領域をフルカットするときはダイシング用カッター12が半導体レーザチップ9と接触しないようにカット位置を前記工程(B)のハーフカットの場合よりも反半導体レーザチップ9側にずらす。第1図(D)はそのフルカット時の状態を示す断面図であり、同図(E)はフルカットにより分割された1つの半導体レーザ装置1aを示す。13は半導体レーザ装置1aの端面である。

++型の半導体領域5を形成する。この半導体領域5上がレーザチップボンディング部となる。6は半導体表面に形成された絶縁膜、7は半導体領域5上に形成された半田層であり、レーザチップボンディング部を成す。第1図(A)は半田層(レーザチップボンディング部)7を有するフォトダイオード4、4、・・・が群成せしめられた状態の半導体ウェハ1の一部を示す断面図である。

(B) 半導体ウェハ1の表面のダイシングをすべき領域をソーイングによりハーフカットする。8はそのハーフカットにより形成されたところの溝である。W1はその溝8の溝幅である。第1図(B)はそのハーフカット後の状態を示す断面図である。

(C) はレーザチップボンディング部たる各半田層7上に半導体レーザチップ9をチップボンディングする。10は半導体レーザチップ9の活性層である。このチップボンディングは、レーザビーム出射端面11が半田層7から溝8上に稍々

このような半導体レーザ装置の製造方法によれば、半導体レーザチップ9がフォトダイオードが形成された基板から僅かに外側に食み出るので、従って、第5図に示したようなレーザビームのケラレが生じる惧れがなく、レーザビームの垂直方向における光強度分布曲線がいびつになることを回避することができる。又、ハーフカット後ソーイングによってフルカットすることによりベレタライズするので、半導体ウェハ1を手で割ってベレット化するという面倒な作業が必要でなくなり、またフォトダイオード4にクラックが生じる惧れもない。

(a-2. 変形的方法) [第2図]

第2図は本発明半導体レーザ装置の製造方法の変形例を示す断面図である。この変形例はハーフカット用のソー(カッター)の幅(W1)とフルカット用のソー(カッター)12の幅(W2)とを変え、W1>W2にしたもので、このようにすれば、ハーフカットをするときのソーの中心位置

とフルカットをするときのソーの中心位置を特にずらす必要がないようにすることができる。

(b. 第2の実施例) [第3図]

第3図(A)乃至(C)は本発明半導体レーザ装置の製造方法の第2の実施例を工程順の示す断面図である。この実施例は戻りビームをレーザビーム出射方向と別の方向に反射するようにフォトダイオードの端面を傾斜させるようにしたものである。

(A) 半導体ウェハ1にフォトダイオードを形成する一連の処理を施し、半田層7を形成した後、切削部にテーパが付いたソー12aを用いてハーフカットを行う。8aはそのハーフカットにより形成された溝で、その断面形状は必然的に逆台形状になる。第3図(A)はハーフカット後の状態を示す断面図である。同図において、13はこのハーフカットにより形成されたフォトダイオードの端面の傾斜部である。

(B) 次に、半導体レーザチップ9を半田層7

部から上下に離間した2点に帰還したレーザビームが再反射されて光学式ヘッドの本来の光路に戻ると干渉を生じる。その結果、トラッキングエラー検知信号が光学式記録媒体のレーザビームの出射方向に対する角度の変化によって変動する可能性があり、そして、その変動量が帰還ビームの本来の光路への戻り量が多い程激しい。しかるに、第3図(A)乃至(C)に示すような方法で製造された半導体レーザ装置の製造方法によれば、フォトダイオードが形成された半導体基板の端面の下側帰還ビームが入射される部分が傾斜面13となるので、その下側帰還ビームを入射方向と全く別の方向に反射する。従って、その下側帰還ビームが光学式ヘッドの本来の光路に戻って本来のレーザビームとの間で干渉を起すことを有効に回避することができる。

このように第3図に示す方法によれば第1図及び第2図に示す方法では得られない異質の効果も得られる。

上にチップボンディングし、その後、フルカットする。第3図(B)はフルカット時における状態を示す断面図、同図(C)はフルカットによりベレタライズされた半導体レーザ装置1aを示す断面図である。

このような製造方法によれば、半導体レーザ装置を3ビートトラッキング方式の光学式記録装置、光学式再生装置あるいは光学式記録再生装置の光学式ヘッドに用いた場合における帰還ビームの再反射による干渉を防止することができる。

この点について詳しく説明すると、半導体レーザチップ9から出射されたレーザビームは光学系によって光学式記録媒体に照射され、その反射光が上記光学系の一部を経て光検知器にて検知される。しかし、その反射光の一部は半導体レーザ装置側に帰還する。そして、光学式ヘッドのタイプによってビームの帰還位置が異なるが、一つのタイプとして、レーザビームの照射部とそれから活性層10と直角方向に上下に離間した2点とに帰還するものがある。ところが、レーザビーム出射

(H. 発明の効果)

以上に述べたように、本発明半導体レーザ装置の製造方法は、半導体ウェハをハーフカットした後レーザチップボンディング部に半導体レーザチップをそのレーザビーム出射端面が前記ハーフカットにより形成された溝上方に稍々食み出るように位置決めしてボンディングし、その後ダイシング用カッティング手段が上記半導体レーザチップと接触しないようにダイシング位置を設定したうえでフルカットすることによりベレット化することを特徴とするものである。従って、半導体レーザチップがハーフカットにより形成された溝上方に稍々食み出るようにボンディングされるので半導体レーザチップのレーザビーム出射端面から出射されたレーザビームがフォトダイオードが形成された基板表面で反射されるという現象(ケラレ)を回避することができる。従って、そのケラレに起因して光度分布がいびつになることを回避することができる。そして、半導体レーザチップのボンディング後に行うベレタライズを半導体

ウェハを断るという方式によってではなくカッティング手段を用いてのフルカットにより行うので、省力化を図ることができ、又、クラックが生じたりすることを防止することができる。

4. 図面の簡単な説明

第1図(A)乃至(E)は本発明半導体レーザ装置の製造方法の実施の一例を工程順に示す断面図、第2図は本発明半導体レーザ装置の製造方法の変形例を示す断面図、第3図(A)乃至(C)は本発明半導体レーザ装置の製造方法の他の実施例を工程順に示す断面図、第4図(A)乃至(E)は背景技術を工程順に示す斜視図、第5図は背景技術の問題点を示す断面図である。

符号の説明

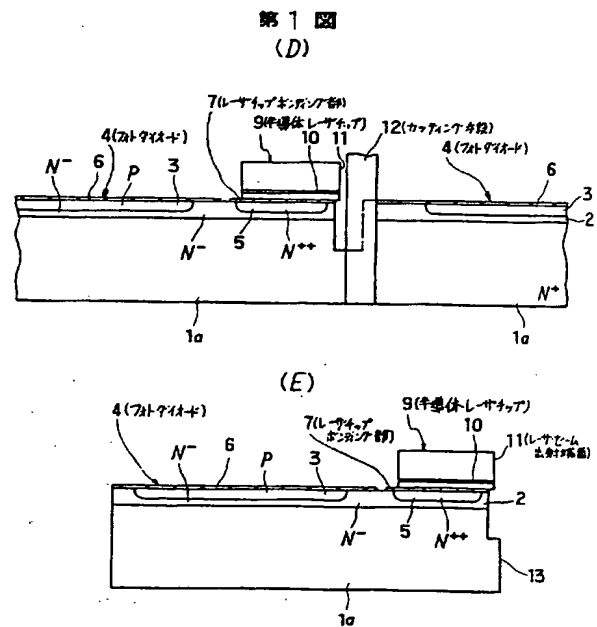
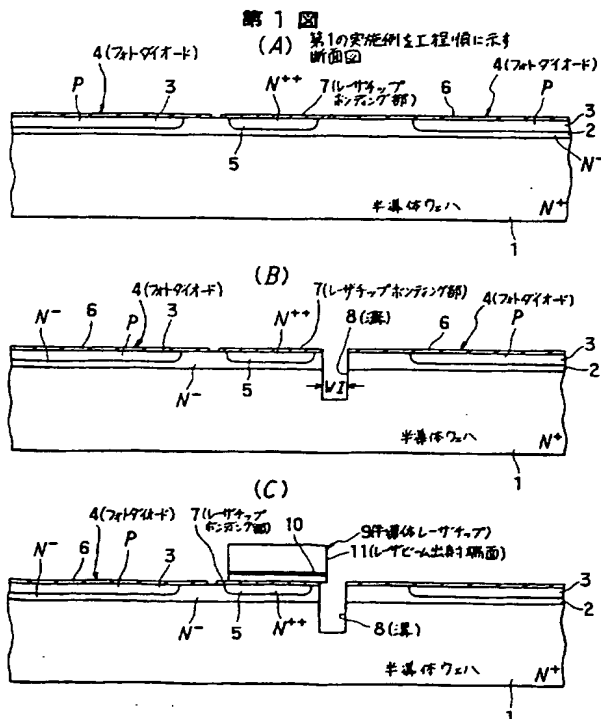
- 1・・・半導体ウェハ、
- 4・・・フォトリソド
- 7・・・レーザチップボンディング部、
- 8、8a・・・溝、

9・・・半導体レーザチップ、

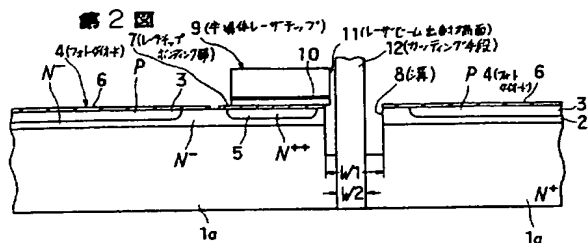
11・・・レーザビーム出射端面、

12、12a・・・カッティング手段

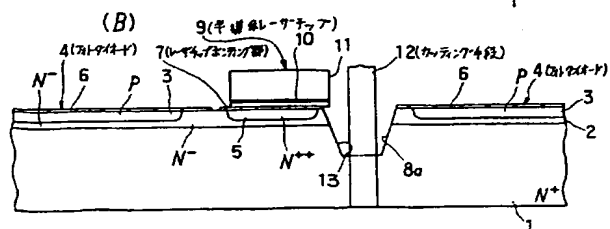
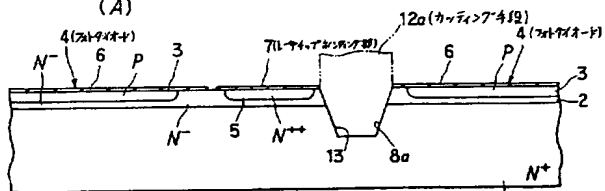
出願人 ソニー株式会社
代理人弁理士 小松 祐 治
同 尾 川 秀 昭



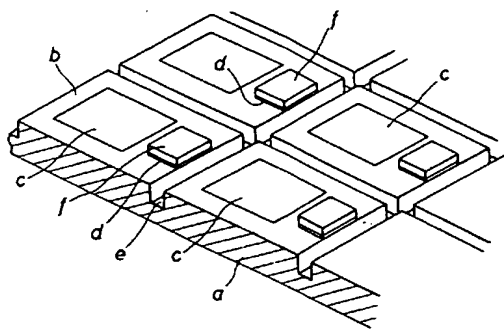
本形例を示す断面図



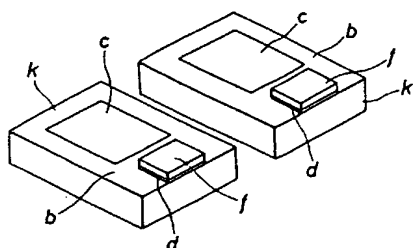
第3図 才の実施例を工程順に示す断面図
(A)



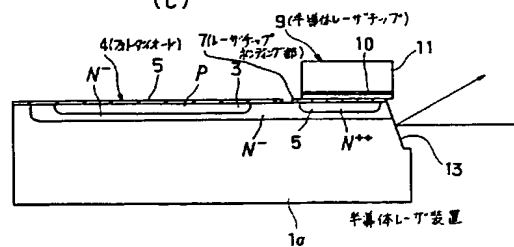
第4図
(C)



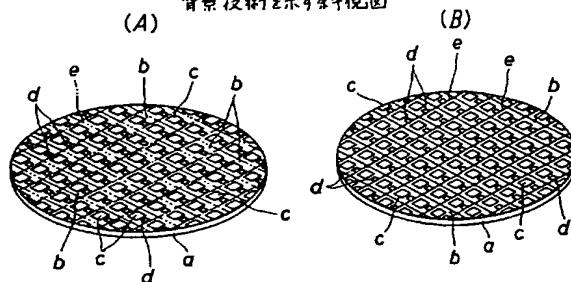
(D)



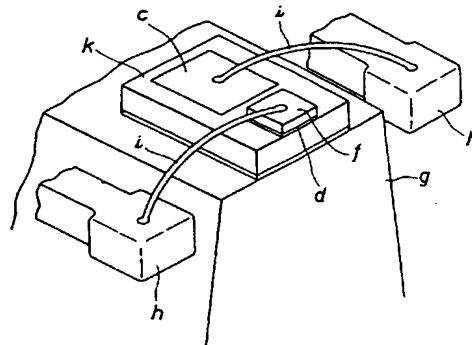
第3図
(C)



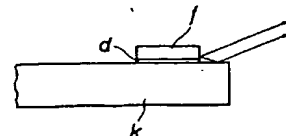
第4図
背景技術を示す斜視図



第4図
(E)



第5図
問題点を示す断面図



THIS PAGE BLANK (USPTO)